

# パルス間隔確率分布測定器の設計

土 井 政 則\*・田 中 護\*

Design of Apparatus to Measure the Probabilistic Distribution of the Pulse Durations.

Masanori DOI and Mamoru TANAKA

## Abstract

An apparatus for the real time measurement of the probabilistic distribution of pulse durations are designed. This apparatus is for experiments of (artificial) neural networks and can treat the pulses of 1 pps to 100 pps. This range can be easily shifted. Outputs are displayed in histogram on CRT of a oscilloscope and recorded automatically with a camera or a pen recorder.

This apparatus can also be used to obtain the basic data for the stochastic simulation.

## 1. ま え が き

最近のロボット工学，オートマトンの研究はいきづまった感がある。しかし，まだ神経系の情報処理方式は解析できていない。神経系の情報がどのような方法で処理されるかを知れば，工学的に人工神経回路を用いて，新しいパターン認識装置を考案することができる。

一般に，神経系での情報はパルス密度変調されて伝達されているので，個々のパルス自体には情報をもたず，パルス間隔が生体内での情報伝達や処理の，最も重要なパラメータのひとつとみなせる。このような神経パルスの情報を知るためには，パルス間隔の分布を確率的に求めることが必要である。そのための測定器の設計をし，完成の見通しがついたのでここに報告する。

なお，確率測定器としては，すでに発表されたものや雑音解析に用いるものがある。しかしこれらはアナログ信号を測定対象にしている。パルス間隔の確率測定器としては，電子計算機で構成されたものがある。しかしこれは大掛かりな装置となっている。そこで我々の研究の目的は，安価で，実時間で使用できるパルス間隔確率分布測定器を製作することにある。

また，この測定器は待ち行列シミュレーションをしたりするなど，確率事象のモデル化のための基礎データを求めたりするのに使うことができる。

## 2. 測 定 原 理

パルス間隔を確率変数  $t$  で表わす。

今パルス間隔が  $\tau_{i-1}$  と  $\tau_i$  ( $\tau_{i-1} < \tau_i$ ) の間にある確率を  $P\{\tau_{i-1} < t \leq \tau_i\}$  とすると

$$P\{\tau_{i-1} < t \leq \tau_i\} = \int_{\tau_{i-1}}^{\tau_i} f(t) dt \quad (1)$$

また

$$P\{\tau_{i-1} < t \leq \tau_i\} = \lim_{N \rightarrow \infty} \frac{n}{N} \quad (2)$$

但し

$f(t)$  : 確率密度関数

$n$  :  $\tau_{i-1}$  から  $\tau_i$  の間に存在するような

パルス間隔の個数

$N$  : パルス間隔の総数

測定器として実現するには(1), (2)式をそのまま使用できない。  $n$ ,  $N$  ともに実際の測定器では有限にして，次式をもって(1), (2)式を近似する。

$$f(\tau) \cdot \Delta\tau_i = \frac{\sum_{j=1}^L n_{ij}}{\sum_{j=1}^L N_j} \quad (3)$$

但し

$$\tau : \int_{\tau_{i-1}}^{\tau_i} f(t) dt = f(\tau) \Delta\tau_i, \tau_{i-1} < \tau < \tau_i$$

を満たすような  $\tau$  とする。

$L$  : 測定回数 (ある測定時間内における)

$\Delta\tau_i$  :  $\Delta\tau_i = \tau_i - \tau_{i-1}$  で定義する  $i$  番目の微小なパルス間隔の間

$N_j$  :  $j$  回目の測定におけるパルス間隔総数

$n_{ij}$  :  $j$  回目の測定における  $\Delta\tau_i$  に存在するパルス間隔の個数

\* 宇部工業高等専門学校電気教室

次の条件を満たせば(1), (2)式を実現するために(3)式を用いた装置でも充分正確な確率密度関数  $f(t)$  が得られる。

条件として

- (a)  $\Delta t_i$  が小さいこと. よってパルス間隔の量子化を密にする.
  - (b)  $L$  が大きいこと. (パルス間隔がエルゴード性を持つ場合) よって測定回数を増やすことにより解決される.
- ということが必要である.

3. 装置の構成

Fig. 1 に本装置のブロックダイアグラムを示す.

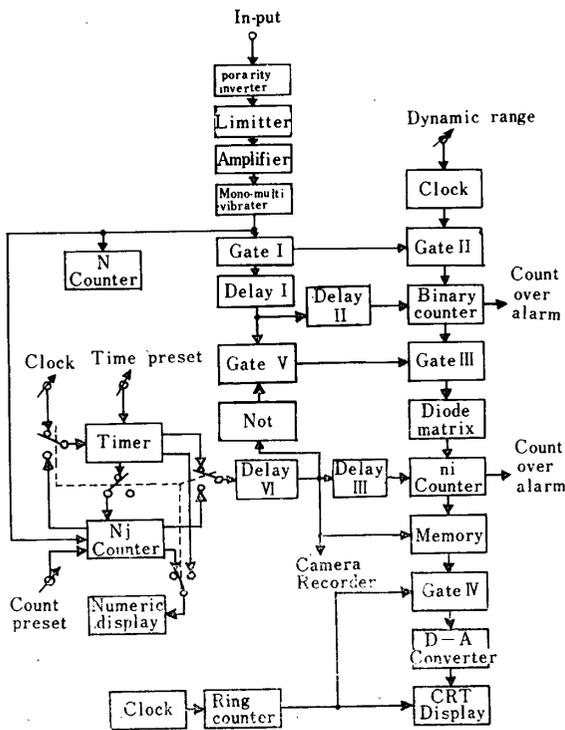


Fig. 1 Block diagram

(1) 仕様

- 入力パルスの条件
  - ① 極性.....正, 負
  - ② 入力パルス振幅.....100V 以下
  - ③ 入力パルス幅.....10~20 $\mu$ sec
  - ④ 入力パルス周期.....0.001~1 sec
- 入力インピーダンス.....10M $\Omega$  以上
- 出力表示, 横軸.....21区分  
縦軸.....100点以上

(2) 入力部

入力パルスは不規則であり, 大きさもまちまちである

ことを考えて, 初段に極性反転回路, Limiter, Amplifier, Mono-multivibrator を設け, パルス幅 10~20 $\mu$ sec, -10~-20V のパルスに整形する. Amplifier は, 入力インピーダンスを大きくするために MOS-FFT を使用する.

なお, パルス幅が不規則で10 $\mu$ sec 以下の場合 Gate I が開閉しない場合がある. その時  $N_j$ -Counter に使用する MOS-IC は, 0.2 $\mu$ sec まで動作する. 従ってパルス幅を10 $\mu$ sec 以上にするために Mono-multi-vibrator を Amplifier の後に挿入する. 本装置は当分の間, 理想的なパルスのみで動作させるので, 入力部については考えないことにする.

(3) パルス間隔測定部

Fig. 2 にパルス間隔測定部のブロックダイアグラムを

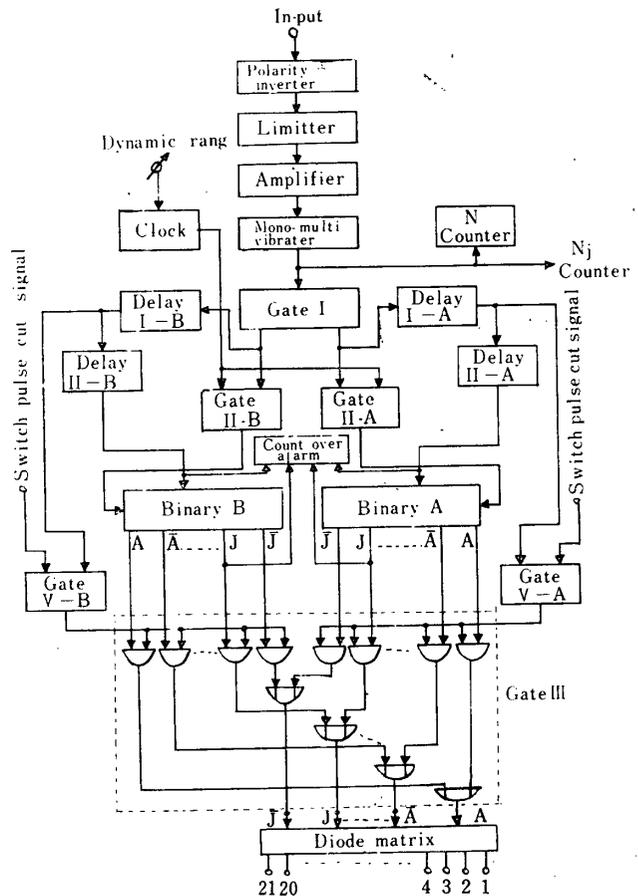


Fig. 2 Measuring part of pulse durations

示す. Gate I 以降の回路は計数結果の処理時間を与えるために並列2段とする.

i) Gate II

入力パルスによって Flip-Flop を開閉させ, パルス

間隔の間 Gate 信号を交互に出す。Fig. 3 にその動作を示す。

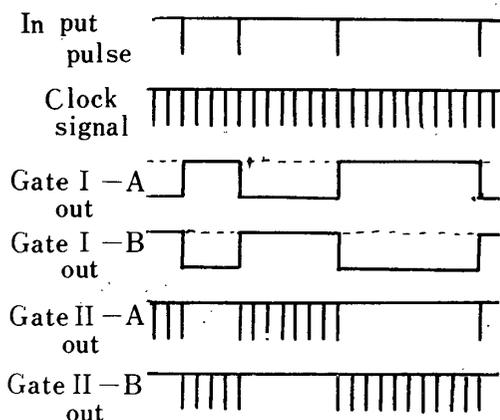


Fig. 3 Gate action

ii) Clock

本装置の測定範囲は、0.001sec~1 sec (1,000pps~1 pps) である。

入力パルス間隔 ( $\tau_{in}$ ) の測定精度を上げるために、Clock パルス周期 ( $\tau_{clock}$ ) を10分の1にする。従って入力パルスが $10^4$ pps 以上になると処理能力がなくなる。

ここで入力パルス間隔に対して Clock パルス周期を10分の1にするのは Gate I の出力と Clock パルスが同期した時 Fig. 1 に示すように、 $\Delta 2$ 、 $\Delta 1$ 、 $\Delta 0$ 、

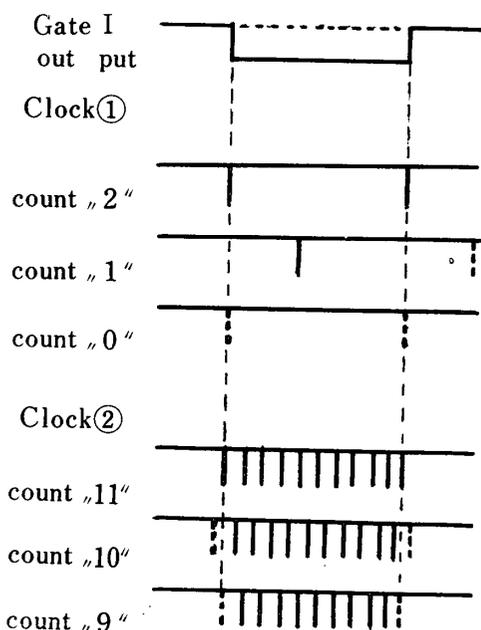


Fig. 4

のどれかを計数することが考えられる。しかし、Fig. 4 ②のように Clock パルスの周期を10倍に上げることによって誤差は10分の1に減少する。

入力パルスに対する測定精度は

測定範囲	Clock 周期	計数
1~100 pps	1 KHz	$10^3 \pm 1 \sim 10 \pm 1$
10~1.000pps	10KHz	"
精度		
		$\pm 0.1\% \sim \pm 10\%$
		"

すなわち、量子化を密にするほど精度があがる。将来測定範囲を変更する場合には、Clock パルス周期及び後段の Counter の段数を変える必要がある。

ii) Binary counter

10ケタの計数能力をもっており、MOS-IC  $\mu$ PD 12 A を用い、21個に振りわけると、また、否定出力は、それぞれにインバータを通して取り出す。このケタ数を増すことにより、測定範囲を広げることができる。

iv) Diode matrix

2進10ケタの数を任意の数に振り分けるための回路である。本装置では21に振り分ける。

後日 101 まで増設して本格的な計測装置にする予定であるが、その場合には Diode matrix 回路を設計しなおす必要がある。Fig. 5 に2進10ケタと21端子および時間分布との対応を示す。

Terminal No.	Clock (1 KHz) 周期	Clock (10KHz) 周期
1	1 ~ 50 msec	1 ~ 5 msec
2	51 ~ 100	6 ~ 10
3	101 ~ 150	11 ~ 15
4	151 ~ 200	16 ~ 20
5	201 ~ 250	21 ~ 25
6	251 ~ 300	26 ~ 30
7	301 ~ 350	31 ~ 35
8	351 ~ 400	36 ~ 40
9	401 ~ 450	41 ~ 45
10	451 ~ 500	46 ~ 50
11	501 ~ 550	51 ~ 55
12	551 ~ 600	56 ~ 60
13	601 ~ 650	61 ~ 65
14	651 ~ 700	66 ~ 70
15	701 ~ 750	71 ~ 75
16	751 ~ 800	76 ~ 80
17	801 ~ 850	81 ~ 85
18	851 ~ 900	86 ~ 90
19	901 ~ 950	91 ~ 95
20	951 ~ 1000	96 ~ 100
21	1001 ~	101 ~

Fig. 5 Setting of measuring time

v) Gate III

計数結果の処理時間を与えるために並列2段の

Binary counter が設けられていたが、その情報を1個の Diode-matrix で振り分けるために用いる接続回路である。並列2段の各々の情報が他方の Counter に影響をおよぼさないように挿入する。

vi) Delay, Gate V

Gate I の出力信号より、Binary counter の Reset 信号、Gate III のスイッチ信号を作る。

Fig. 6 に Counter control 部のブロックダイアグラムを示す。

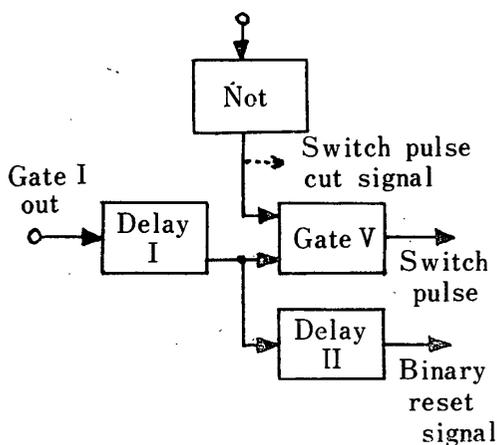


Fig. 6 Counter control

Delay には Mono-multivibrator を使用する。

Gate V は後述する  $n_i$ -Counter の内容を Memory に移す間に Binary counter の内容が  $n_i$ -Counter に入ることの無いようスイッチ信号をしゃ断するために挿入されたものである。従って1回の測定で1パルス間隔だけ記録されないことがありうる。

Fig. 7 は入力パルスに対する Counter control 部の動作を示す。

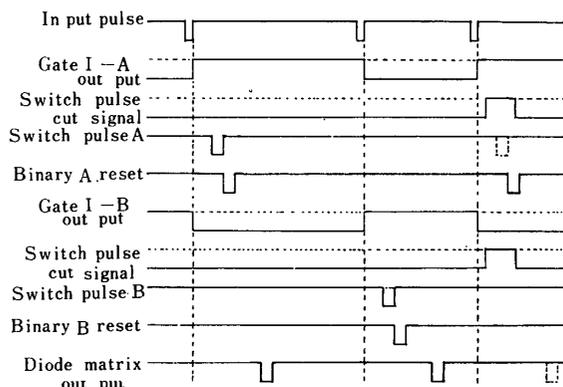


Fig. 7 Counter control

スイッチ信号は、Binary counter の時間遅れを考慮して、Gate I オフ時より  $15\mu\text{sec}$  遅らせて出す。スイッチ信号のパルス幅は、信号の伝達が  $10\mu\text{sec}$  あれば完了するので、 $10\mu\text{sec}$  とする。すぐに Reset 信号を出す。Amplifier 出力から Diode matrix 出力までの時間遅れは余裕をみて  $40\mu\text{sec}$  となる。

vii) Count over alarm

入力パルスの間隔に相当する Clock パルスが、2進10ケタ (1024) を越した場合には、Binary counter は再びゼロから計数する。それでは全く異った情報となる。従って Binary counter 最終段の出力がオフになったときランプで表示させる。確認するまで保持しておく。カウントオーバーした時の計数結果は信用できない。そのような場合には、Clock パルスの周期を低くすればよい。

Fig. 8 にその回路を示す。

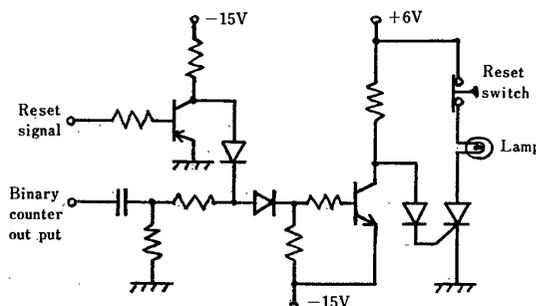


Fig. 8 Count-over alarm

リセット信号でも、この回路はトリガーされるので、リセット信号が出た時表示しないように工夫してある。

(4) 頻度記憶部

Diode matrix 21個に振り分けられたパルス間隔の個数  $n$  をそれぞれカウントする  $n_i$ -Counter と、この内容を記憶する Memory と、これらの動作を制御する Timer で構成されている。

i)  $n_i$ -Counter

最大カウント個数は、7ビット21列のカウンターであるから、 $(2^7 - 1) \times 21$ 個となる。将来横軸の精度を上げる場合には、 $n_i$ -Counter を増設することができる。

$n_i$ -Counter の入力パルスとリセット信号が同期した場合や、メモリー信号と入力パルスが同期した場合、カウンターの出力は全く不明である。従ってこのような場合には、入力パルスが  $n_i$ -Counter に入らないようにする。この動作については Gate V の説明でのべた。

しかし、Matrix における時間遅れが問題となるが、本装置では  $10\mu\text{sec}$  程度であり、入力パルスは最小で  $100\mu\text{sec}$  であるので問題はない。

## ii) Memory

本装置に記憶回路がなかったら、 $n_i$ -Counter の記憶内容の変化がそのまま CRT に表示されることになり、観測が容易でない。従って、MOS-IC 4 ビットレジスタを用い、 $n_i$ -Counter の内容を記憶させる。

## iii) Timer

測定時間  $T$  について 1 個の制御信号を出すための分周回路及び測定個数  $N_j$  について 1 個の制御信号を出すための  $N_j$ -Counter とそれに時間設定の場合には入力パルスの個数及び個数設定の場合の測定時間を表示する回路で構成されている。

Fig. 9 にそのタイムチャートを示す。

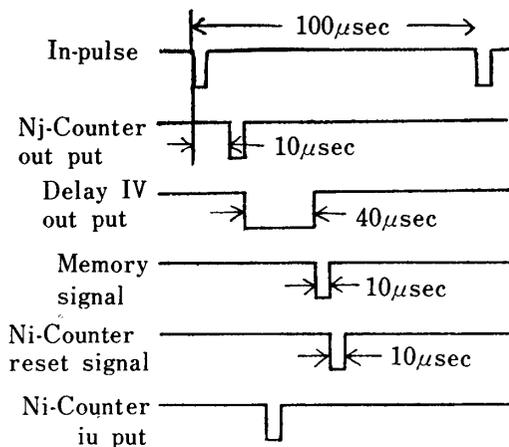


Fig. 9

本装置は 1 回の測定基準として次の二つの方法を併用し、外部切換スイッチで操作する。

時間設定法の場合、Clock パルスを  $1/2^n$  に分周して制御信号を出す。設定時間を 1 時間にとると、10 進カウンターが 7 個必要となる。

個数設定法の場合、将来横軸を 100 に分割して精度を上げる場合を考慮すると、入力パルスの最大個数は  $(2^8 + 1) \times 100$  となり 10 進カウンター 5 個を必要とする。

表示回路では、Time preset または Count preset された時間を表示する必要がある。時間設定の場合には  $N_j$ -Counter の、そして個数設定の場合には、分周回路の各出力と制御信号との積をとり、共に '1' の状態の時表示させる。またこれを読みとる間は、この状態を保持できるようにする。

従って分周回路及び  $N_j$ -Counter は並列 2 段とし、2 進、10 進の変換回路を必要とする。

時間設定の場合には設定観測時間  $T$  の間に本装置に入った入力パルスの個数  $N_j$  を表示し、個数設定の場合には、入力パルスの個数が設定観測個数  $N_j$  になるまでの

時間  $T'$  を表示する。時間設定の場合には表示された入力パルスの個数  $N_j$  と、CRT に表示された個数  $\sum_{i=1}^{21} n_i$  を比較することにより、本装置の精度を知ることができる。しかし、個数設定法を実施するには、 $n_i$ -Counter の容量が大きく入力パルスの周期が大きい場合でなければ  $T'$  が小さく容易に観測できない。

## iv) Count over alarm

$n_i$ -Counter のうちどれかがオーバーカウントすると CRT には正しいデータが表示されない。各々のカウンターについて、オーバーカウントを検出する必要がある。回路は測定部と全く同じでよいが、 $n_i$ -Counter のリセット信号で表示させないようにする。

オーバーカウントした場合、 $n_i$ -Counter を次の 3 つの状態に分けてランプ表示させる。

①  $n_1$  を計数する  $n_1$ -Counter において

$\tau_{in} < \tau_{clock} \times 50$  を満たすパルス間隔の個数が 128 をこえる場合。

②  $n_2 \sim n_{20}$  までの各々の Counter において、いずれかの Counter が 128 を計数した場合③  $n_{21}$  を計数する  $n_{21}$ -Counter において

$\tau_{clock} \times 1000 < \tau_{in} < \tau_{clock} \times 1024$  を満たすパルス間隔の個数が 128 をこえる場合。

但し、Clock は  $10^4 \text{ KHz}$  とする。

Clock はダイナミックレンジによって可変できるようにしてある。

従って①のランプで表示した場合、Clock 周期を上げるか、Time preset により設定時間を小さくする必要がある。

③のランプで表示した場合、Clock 周期を大きくするか、設定時間を小さくする必要がある。

②のランプで表示した場合、設定時間を小さくする。ここで注意しなければならないのは、Clock を変えた時、同時に測定範囲も変化することである。

例えば

Clock  $1 \text{ KHz}$  のとき測定範囲は  $0.01 \text{ sec} \sim 10.24 \text{ sec}$

Clock  $10 \text{ KHz}$  のとき  $0.001 \text{ sec} \sim 1.024 \text{ sec}$  のようになる。

## (5) 表示部

Memory 群に記憶されているデジタル信号を、CRT 面上に十分な精度のアナログ出力として表示する。

このような表示部のブロックダイアグラムを Fig. 10 に示す。

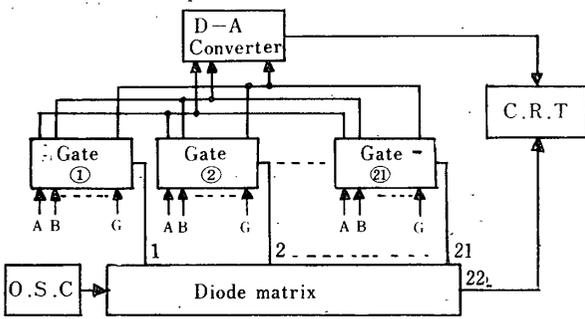


Fig.10 Display control

i) 同期回路

Matrix はクロックで1~21のリング出力及びこれと同期したオシロスコープ外部トリガ入力信号を得るためのものである。このリング出力により Memory の内容を切り換えてアナログ表示する。この切り換え装置として、各メモリーとリング出力の AND 論理をとる。

なお、クロックの周期は写真撮影及び観察の可能な周期とするため 5 KHz とする。

ii) D—A Converter

出力は CRT 面上に表示するので精度をあげすぎても意味がない。しかし 7 ビット D—A Converter の出力が最小の  $\frac{1}{127}$  は、フルスケールに対して  $\frac{1}{127} \times 100\% = 0.7\%$  に対応する。

回路は 0.7% の精度、安価で製作がしやすく、経年変化が無いことが望ましい。これらの条件を考え、あまり高抵抗を使用しないですむ、2R—R Ladder 方式とする。

誤差の合計は次のように表わせる。

$$\begin{aligned} \epsilon_t = & \pm \frac{1}{2} \cdot \frac{\Delta V_{0F1}}{V_R} \pm \frac{1}{4} \cdot \frac{\Delta V_{0F2}}{V_R} \pm \dots \\ & \pm \frac{1}{8} \epsilon_R \pm \frac{1}{16} \epsilon_R \pm \dots \\ & \pm \frac{1}{8} \epsilon_r \pm \frac{1}{16} \epsilon_r \pm \dots \\ & \pm \frac{1}{2} \cdot \frac{\Delta V_R}{V_R} \pm \left[ \frac{R_0}{R_0 + R_L} \right] \dots \dots \dots (4) \end{aligned}$$

但し  $V_{0F}$  : オセット電圧

$\epsilon_R$  : 抵抗の変化による誤差

$\epsilon_r$  : オン抵抗の誤差

$R_0$  : 出力インピーダンス

$R_L$  : 次段の入力インピーダンス

この式より 電子スイッチは、オセット電圧が低くオン抵抗が小さく、漏れ電流が少く、 $\Delta V_{0F}/\Delta I_B$  の小さいことが要求される。

誤差原因と対策について

① オフセット電圧による誤差

許される誤差は 0.7% 以内であり、漏れ電流の小さいトランジスタを用いる。本装置では、2SC273 を用いるので、誤差は 0.11% 以下となる。

② 抵抗のばらつきによる誤差

ブリッジ回路で 1 個 1 個の抵抗値を測定するので考えない。

③ 抵抗の温度変化による誤差

Fig.11 において  $\Delta R_n - \Delta R_1 = \Delta R$  とし、これの最悪

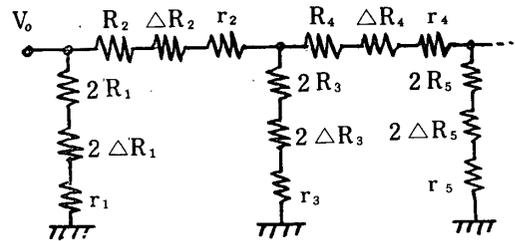


Fig. 11

の状態を考えると、 $\pm 10^{-4}/^{\circ}\text{C}$  の変化がある抵抗を用いているので、室温の変化が  $\pm 20^{\circ}\text{C}$  とすれば、 $5\text{K}\Omega$  に対して最大  $10\Omega$  の変化が生ずると考えられる。

従って  $\epsilon_R$  を計算すると  $\pm 0.043\%$  以下と考えられる。

④ 次段の入力インピーダンスの影響による誤差

D—A Converter の最終段がオンの場合、次段にオシロスコープを使用するので、次段の入力インピーダンスは  $10\text{M}\Omega$  である。このときの誤差を計算すると  $\epsilon_{RL} = 0.05\%$  以下となる。

⑤ オン抵抗による誤差

オン抵抗のばらつきを  $\Delta r$ 、オン抵抗の平均を  $r$  とすると。

$$\epsilon_r = \pm \frac{1}{8} \cdot \frac{\Delta r_1}{R} \pm \frac{1}{16} \cdot \frac{\Delta r_2}{R} \pm \dots \dots \dots (5)$$

①~④までの誤差の合計は約 0.2% であり、許容される誤差は 0.7% であるので、オン抵抗による誤差は 0.5% 以内に押える。

$\Delta r_1$  が一番大きく誤差に影響する。よって  $\Delta r_1 = \Delta r_2 = \Delta r$  とおくと。

(5)式を書きかえると。

$$\epsilon_r \leq \pm \frac{1}{8} \cdot \frac{\Delta r_1}{R} \pm \frac{1}{16} \cdot \frac{\Delta r_2}{R} \pm \frac{1}{16} \cdot \frac{\Delta r}{R} \dots \dots \dots (6)$$

よって

$$\epsilon_r \leq \pm \frac{1}{4} \cdot \frac{\Delta r}{R} \times 100 [\%] \dots \dots \dots (7)$$

(7)式に数値を入れて  $\Delta r$  を求めると、 $\Delta r = 100 [\Omega]$

従ってオン抵抗のばらつきを  $100\Omega$  以内に押える必要がある。

#### 4. むすび

本装置の個々の回路は既成のものを使用している。しかし、実時間で使用できるパルス間隔確率分布測定器の設計製作に関して改良を重ね、ここに完成の見通しがついたものである。

本装置の特長をあげると

- (1) デジタル的に処理しているので外乱に対して優れている。
- (2) 精度の向上や、ダイナミックレンジの変更が容易である。
- (3) CRT に表示するので、実時間で利用できる。
- (4) 記録は自動的に写真撮影する。

(5) 測定条件やダイナミックレンジを広範囲に変更できるので各種用途に使える。

最後に本装置の設計に関して終始熱心に協力をいただいた本校電気科三期生、四期生及び五期生の卒論グループに対し、深謝の意を表わす。

#### 参 考 文 献

- 1) NEC エレクトロニクスデータブック (1969)
- 2) 日本電気技報 No. 88

(昭和45年9月10日受理)