

# Au—Si ダイオードの試作

大久保 明 伸\*

## 1. 序 言

従来良く用いられてきたダイオードは、PN 接合を利用したものが多いが本研究では、金属半導体の接合を利用したものである。二つの金属を接触させると両方のフェルミ準位が一到するが、このため接触電位差により表面障壁を形成する。しかし、この障壁は整流性の場合とオーム性の場合がある。また、その原因は両者の仕事関数にある。このため適当に両者の仕事関数をえらぶことによりダイオードが得られることは良く知られている。この種のダイオードはベル研究所においてシリコンのウェハの上に金を着けたものが作成された<sup>1)</sup>。著者等は金のみでなくヒ素入りの金、ガリウム入りの金についても試料を作り比較した。この種のダイオードは表面と表面の接触を利用するので、その表面状態にその特性が影響されるので十分な注意が入る。このダイオードの利用法としては、hamonic generator, microwave mixer<sup>2)</sup>、高速度スイッチ等に用いられるであろう。

## 2. 実験結果

2. 1 試料の作成 この試料の作成に用いたシリコンウェハは<111>面に切断されたものを用いた。このウェハをHFとHNO<sub>3</sub>の混合後によって鏡面にしてこの上に金を真空度  $0.2 \times 10^{-6}$  Torr で蒸着した。この試料を Fig-1 に示す。シリコンウェハの比抵抗は  $0.03 \Omega\text{cm} \sim 112 \Omega\text{cm}$  までの中より種々らび出しさらにエピタキシャル層を有するものを用いて試料を作成した。また、ウェハをHFとHNO<sub>3</sub>で研磨したあと濃硫酸につけると水をよくぬらすようになる。この区別も行い、さらにシリコンウェハの金が蒸着されていない面にNiを真空蒸着しオーム接触を行なった。

2. 2 試料の電圧—電流特性 2. 1でのべた方法で作成した試料をダイオード用カーブトレーサーで測定した結果を表-1に示す。

但し  $I_F$  (IV) は順方向にIVかけた時の順方向電流、 $I_R$ は逆方向に流れる電流を示す。

また、 $A_u$  (0.3A<sub>s</sub>) は0.3%のヒ素入りの金を示し  $A_g$  (0.3G<sub>a</sub>) は0.3%のGa入り金を示す。この表より  $A_u$  (0.3A<sub>s</sub>) で蒸着し硫酸処理を行い、さらに熱処理を行なったものが良好である。

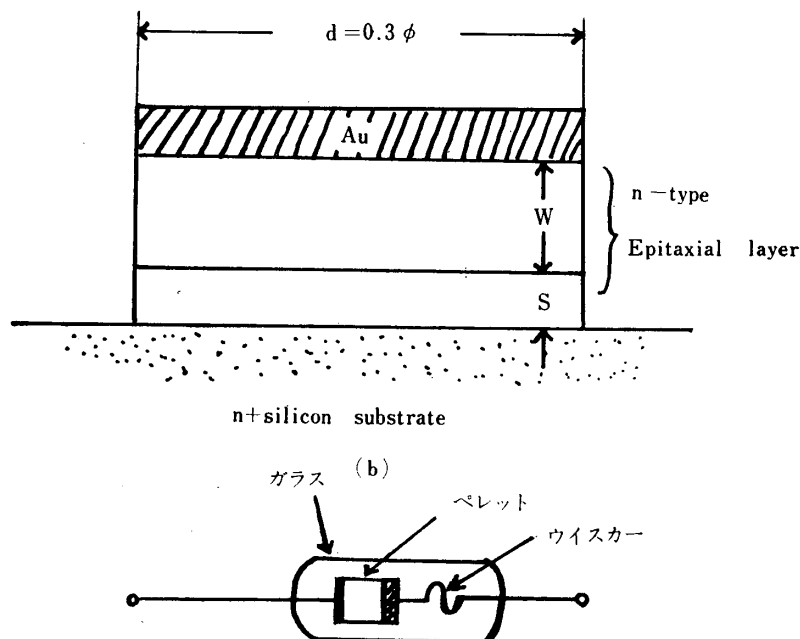


Fig-1 Structure of a gold—silicon epitaxial barrier diode.

蒸着金属	[H <sub>2</sub> SO <sub>4</sub> ]	[H.T]	I <sub>F</sub> (V)	I <sub>R</sub> (V)	I <sub>R</sub> (3V)
Au (0.3As)	○	×	4.3	2.0	2.3
〃	×	×	270	6.7	8.0
〃	○	○	220	1.5	2.4
〃	×	○	120	1.5	2.4
Au (0.3Ga)	○	○	9.5	2.0	2.0
〃	×	○	2.8	2.5	9.0
〃	○	×	—	—	—
〃	×	×	—	—	—
Au	○	×	11	0.2	1.5
〃	×	×	13	0.24	1.8
〃	○	○	12	2.0	6.5
〃	×	○	3.5	—	5mA

但し：[H<sub>2</sub>SO<sub>4</sub>]：硫酸処理，[H.T]：熱処理(800°C)単位はμAである。  
表一

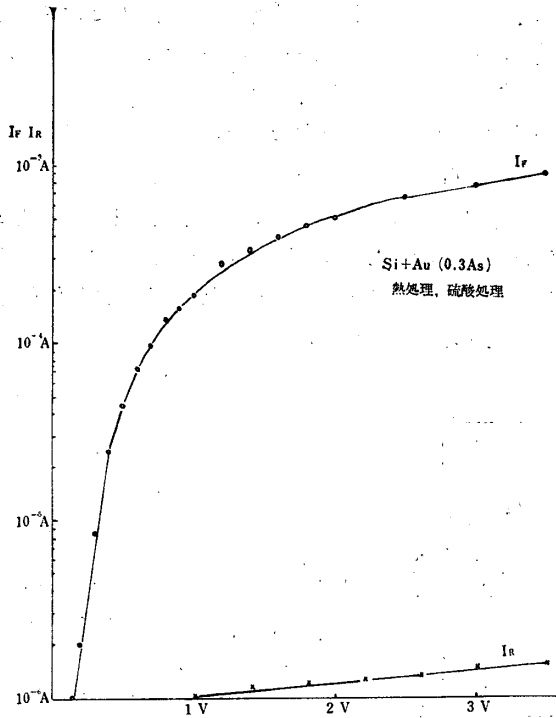


Fig-2

一般にダイオード素子の電圧-電流特性は順方向は抵抗零、逆方向は抵抗∞であるが望ましい。

この理由から考えると、Au (0.3Ga) Auはかなり特性が悪く順逆が入れ変わったものもあった。

この中で一番特性の良かった素子のグラフを Fig-2 に示す。

この結果より以下の試料の蒸着金属は Au (0.3As) のみに限定して、ウエハーの比抵抗を変えて同様のことを行なった。この結果を表-2 に示す。

表をみてわかるようにシリコンウエハー上にエピタキシャル層 (ρ=2Ωcm) のあるものが良かった。またエピタキシャル層のないものでは比抵抗ρ=0.12Ωcm のものが良かった。これらの素子は熱処理とオーム接触を完全にすればさらに特性の良くなる可能性がある。

また表面処理にも問題があり HF と HNO<sub>3</sub> の混合比とかその溶液の温度等でシリコンウエハーの表面が変化するので適当な方法を見つけなくてはならない。

次にエピタキシャル層の厚みを変えて Au (0.3As) を蒸着しその特性の比較を行なった。これを表-3 に示すがこれを見てわかるようにエピタキシャル層の薄いものよかった。

次にエピタキシャル層の厚みを変えて Au (0.3As) を蒸着しその特性の比較を行なった。これを表-3 に示すがこれを見てわかるようにエピタキシャル層の薄いものよかった。

w	I <sub>F</sub> (1V)	I <sub>R</sub> (1V)	I <sub>R</sub> (3V)
微小	35μA	3.5μA	10μA
0~3μ	10μA	0.2μA	1μA (10V)
3~5μ	35μA	1mA	3.5μA
10μ	3.5μA	1μA	3μA

表-3 エピタキシャル層の厚さを変えた場合の V-I 特性

ρ(Ωcm)	[H.T]	I <sub>F</sub> (1V)	I <sub>R</sub> (V)	I <sub>R</sub> (3V)	I <sub>R</sub>
0.03	○	20μA	50μA	10mA	
0.12	○	300μA	3μA	30μA	
4.0	○	30μA	1μA	1.5μA	
30	○	12μA			1μA(10V)
112	○	150μA	100μA		1μA(50V)
2(エピタキシャル)	○	200mA			0.3μA(10V)

表-2 ρを種々変えた場合の V-I 特性 [Au (As)]

Fig-3

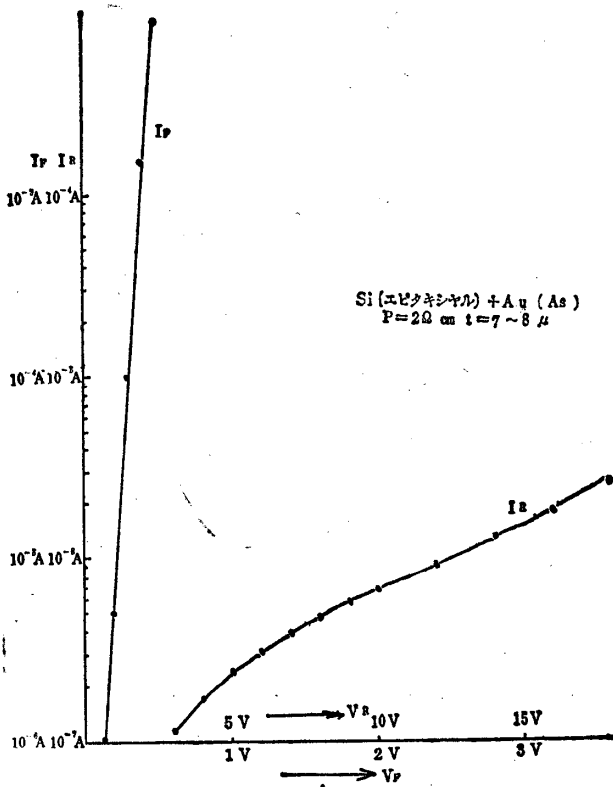


Fig. -3

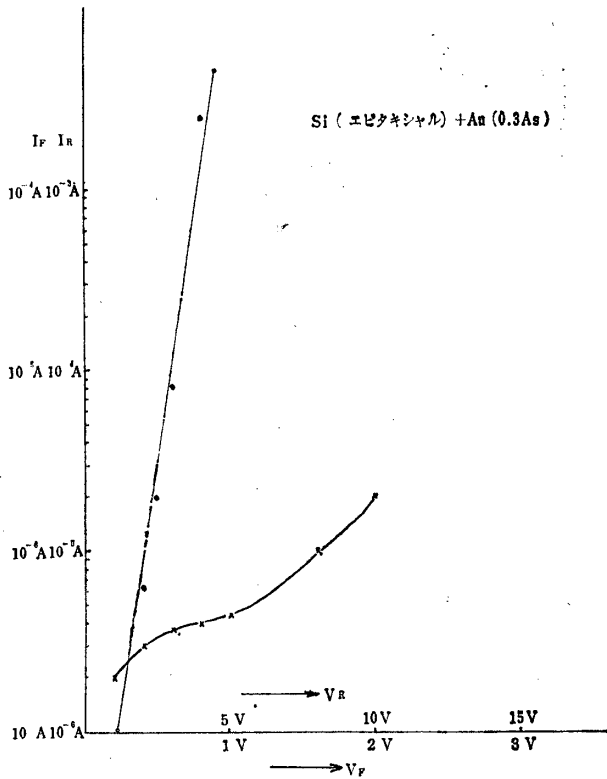


Fig. -4

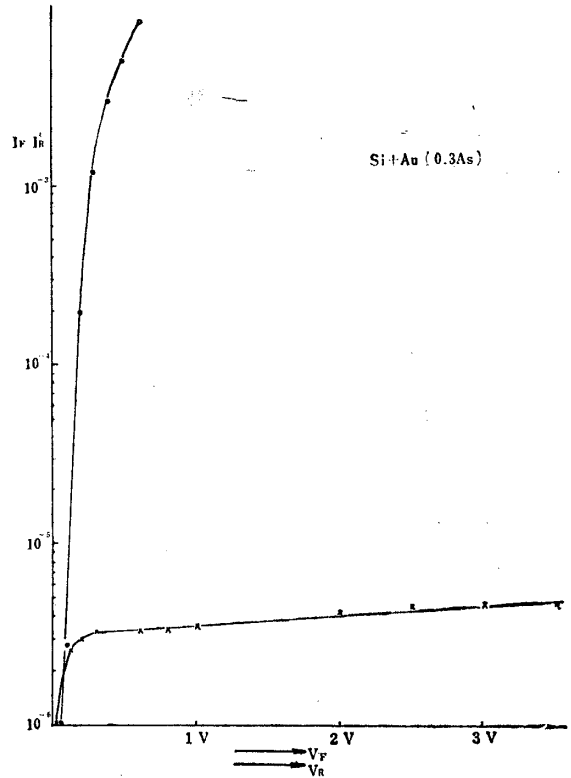


Fig. -5

またこの $I_F$ が小さいがこれはウェハーの厚さをへらすことによって改善できる。

この素子の断面図を Fig-6 に示す。

以上の結果より特性のすぐれているものの中よりえらび、エピタキシャル層を有するものと、有しないものにオーム接触用の金属を変えて比較した。これを表4に示す。

### 2. 3 立上り時間

ダイオードの立上り時間は電子が空間電荷層を通過するときの走行時間とダイオードを R と C の並列回路とみると RC-charging time により関係がある。

空間電荷層 $w$ はポアソンの方程式解くをことにより

$$w = \left( \frac{2 \epsilon V_0}{2 q N} \right)^{1/2} \dots\dots\dots(1)$$

- 但し  $V_0$  = diffusion potential
- $q$  = elec charge
- $N$  = donor concentration
- $\epsilon$  = dielectric constant

たとえば  $N = 1 \times 10^{15}$   $V_D = 0.54V$  で  $w = 0.67 \mu$  である。

キャパシタンス $C$ は

$$C = \left( \frac{\epsilon}{w} \right) A \dots\dots\dots(2)$$

但し  $A$  は金とシリコンウェハーとの接触面積

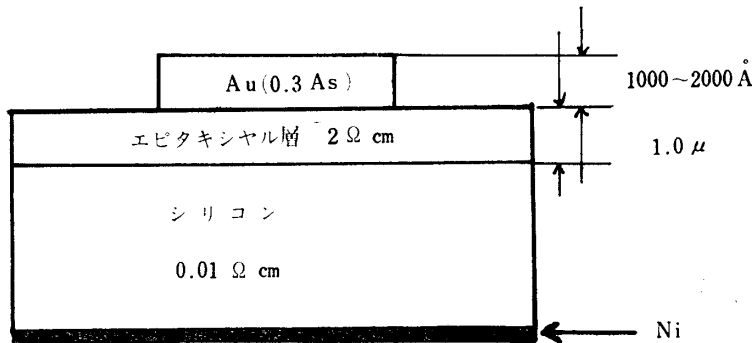


Fig-6

ウエハーの種類	[0.c]	w	I <sub>F</sub> (IV)	I <sub>R</sub> (IV)	I <sub>R</sub> (3V)	
エピタキシャル	Au (A <sub>s</sub> )	1μ	1mA	1μA	20μA	Fig-4
〃	〃	4μ	400μA	0.9μA	2μA	
シリコン	Au	ρ=0.15	7.5mA	75μA	250μA	Fig-5
〃	Ni	〃	11~15mA	3.5μA	7μA	

但し [0.c] はオーム接触用金属

表-4

または並列抵抗Rはエピタキシャルウエハーを用いることにより小にできる。

走行時間τは

$$\tau = \frac{w}{v_s} \dots\dots\dots(2)$$

但し V<sub>s</sub> : 電子拡散平均速度

また RC chaging time は

$$RC = \int_{regions} \rho_e dx + \frac{1}{2} C_a \rho_s d \dots\dots\dots(3)$$

但し C<sub>a</sub> : 単位面積あたりの容量

ρ<sub>e</sub> : sにおけエピタキシャル比抵抗

ρ<sub>s</sub> : ウエハーの比抵抗

d : 接触半径

本実験試料では E=98.4×10<sup>-4</sup>F/cm, d=0.3mφ, C<sub>a</sub>=10.7 pF, R=1.98Ω

∴ RC=20×10<sup>-3</sup>nsec

表-5は実際に試料を測定した順方向立ち上り時間である。

ウエハーの種類	[0.c]	立上り時間	
エピタキシャル	Au (A <sub>s</sub> )	20nsec	以下
シリコン	Au (A <sub>s</sub> )	20nsec	〃
〃	Ni	30nsec	以下

表-5 完成素子の立上り時間

あまり計算値と一致していないのは測定器の精度が限

界であったからである。

### 3. 結 言

Gold-Silicon ダイオードは金属と半導体における接触を利用したもので合理的には同じものであるが、点接触ダイオードと比較して、その接触面積が比較的大きい。そのため接触状態が安定である。この接触によってできる壁の高度は 0.80eVであった。この接触状態バンドモデルをFig-7に示す。

表-1において熱処理をしたものが特性が良い。これは蒸着された金のシリコンウエハーに対する接触状態が良くなるものと考えられる。また HFとHNO<sub>3</sub>との混合液で化学研磨したあとは表面に不純物がのこっていて素子の特性を悪くする。このためこの不純物を取りのぞくため濃硫酸で処理してやると一般に特性が良くなる。

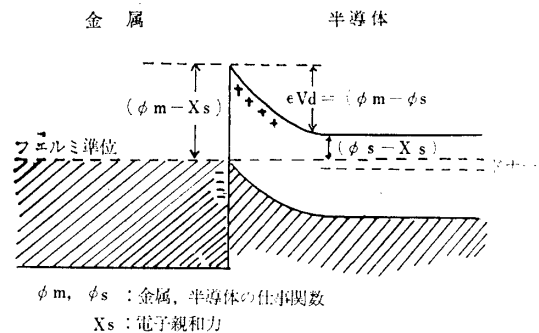


Fig-7 整流接触バンドモデル

表-4においてエピタキシャル層を有しないウエハーでもエピタキシャル層を有するウエハーよりも順方向特性がすぐれているものがあつた。

それ故に高価なエピタキシャルを用いなくても十分使用できる素子が作れると思われる。またこの素子の問題は素子をガラス容器に封じるときかなりの温度になるので金がはがされてウイスキーの方にくついてしまうことであつた。そのため封じた後、特性を見てみると10個の内2~3個位特性が著しく変化しているものがあつた。

また立上り時間についてはD. kahng等らは1 ns程度の測定装置ではパルス応等における蓄積時間は全く発見できなかったと報告している。

また370°C程度まで特性の変化が少なかったと報告し

ている<sup>3)</sup>.

これ等の整流接触に関してはいろいろ興味ある点が多いのでさらにくわしく今後解析したいと考えている。

参 考 文 献

- 1) D. KAHNG and L. A. DASARO ; Gold-Epitaxial Silicon High Frequency Diode  
The bell System technical Journal January 1964
- 2) VAN DER ZIEL ; Solid State Physical Electronics
- 3) H. J. Kumo ; Analysis and characterization of Diode Smitching IEE EDII

(昭和41年6月30日受理)